HBE-COMBO II VHDL 실습

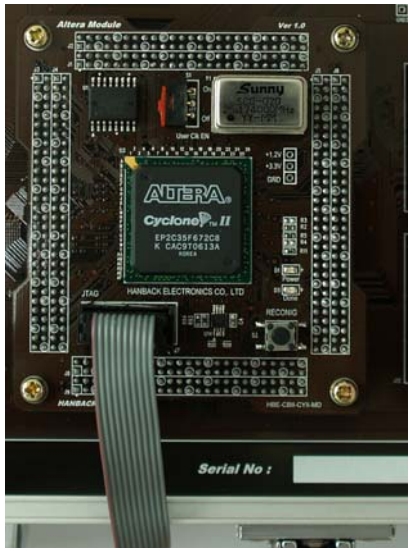
제 3주차 강의

㈜ 한백전자 기술연구소

장비 구성 및 형상

장비 구성 및 형상

[전원케이블 연결]



[다운로드 케이블 연결]

장비 구성 및 형상

1. FPGA Module
2. Button S/W
3. Keypad
4. Bus S/W
5. LED
6. 7-Segment
7. DOT
8. VFD(Vacuum Fluorescent Display)
9. STEP MOTOR
10. SRAM
11. IrDA
11. IrDA
12. Piezo
13. VGA port
14. UART
15. USB to Serial
16. PS/2 port
17. Clock control block
18. Expansion port
19. Expansion port (Daughter)

Contents

EX_2_3. 4Bit 병렬 가감산기의 기본 이론

(주)한백전자

SW	DATA A					DATA B					OUTPUT					
C0	A(4)	A(3)	A(2)	A(1)	10진	B(4)	B(3)	B(2)	B(1)	10진	C4	S(4)	S(3)	S(2)	S(1)	10진
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
0	0	0	1	1	3	0	1	0	0	4			1	1	1	7
0	0	1	1	1	7	1	0	0	0	8		1	1	1	1	15
0	1	1	1	1	15	1	1	1	1	15	1	1	1	1	0	30
1	0	0	1	1	3	0	0	0	1	1	0	0	0	1	0	2
1	1	1	1	1	15	0	1	1	0	6	0	1	0	0	1	9
1	0	1	1	1	7	1	0	0	0	8	1	1	1	1	1	-1
1	1	0	1	0	10	1	1	1	1	15	1	1	0	1	1	-5
1	1	1	1	1	15	1	1	1	1	15	0	0	0	0	0	0

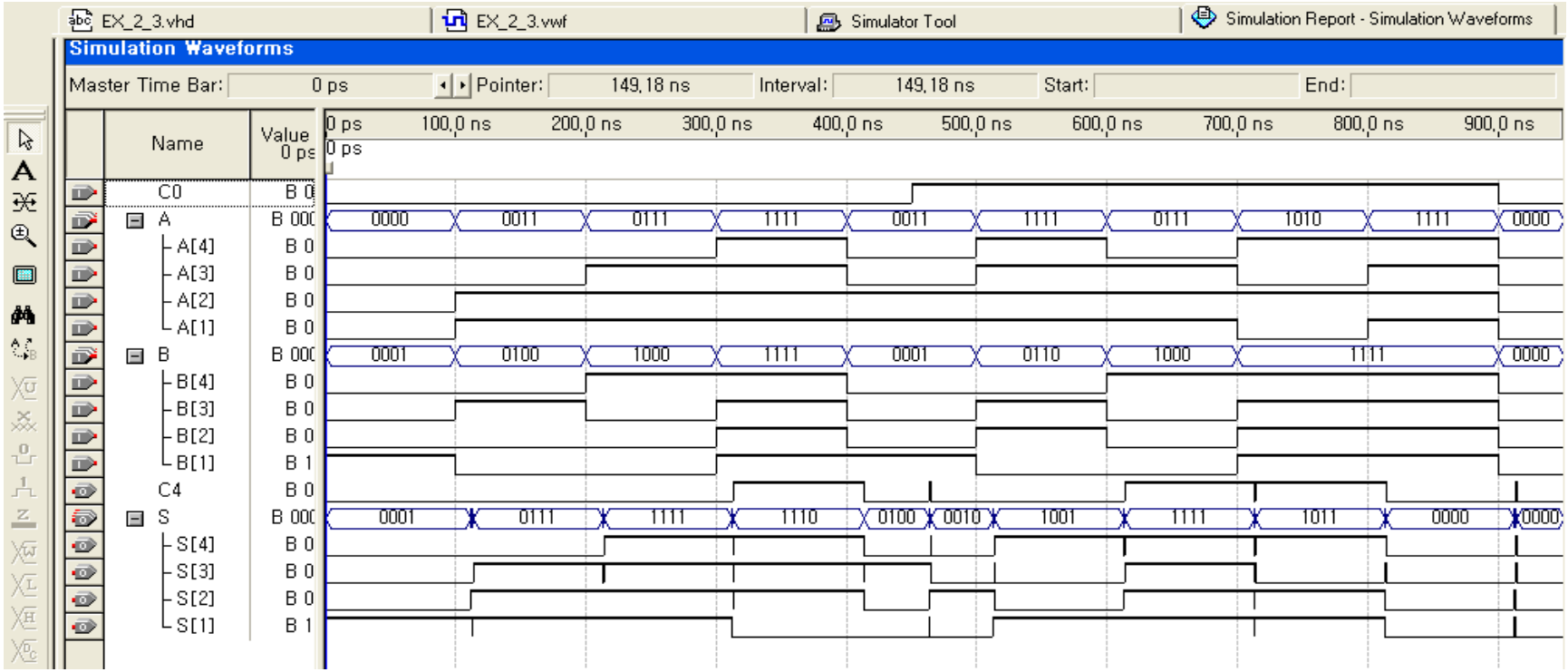
가감산기 회로는 제어신호에 따라 덧셈을 수행하거나 뺄셈을 수행하는 회로를 말한다. 이 진리표에서 제어신호 C0=0일 경우 B1 = B 임으로 입력 B가 그대로 전가산기에 인가되어 덧셈이 수행되고, C0=1일 경우 B1 = B' 가 되어 전가산기에 B의 1의 보수가 인가되는 동시에 또한 전가산기의 캐리 입력 C4에 1이 인가되어 결국 A + (B의 2보수) 연산이 수행되는데 이는 뺄셈 연산에 해당한다.

EX_2_3. 4Bit 병렬 가감산기 구문


```
LIBRARY IEEE;
    USE IEEE.STD_LOGIC_1164.ALL;
    USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY EX_2_3 IS
PORT(
    CO : IN STD_LOGIC;
    A : IN STD_LOGIC_VECTOR(4 DOWNTO 1);
    B : IN STD_LOGIC_VECTOR(4 DOWNTO 1);
    S : OUT STD_LOGIC_VECTOR(4 DOWNTO 1);
    C4 : OUT STD_LOGIC);
END EX_2_3;

ARCHITECTURE HB OF EX_2_3 IS

    SIGNAL TMP : STD_LOGIC_VECTOR(5 DOWNTO 1);

BEGIN

PROCESS(CO, A, B)
BEGIN
    IF CO = '0' THEN
        TMP <= ('0' & A) + ('0' & B);
    ELSIF CO = '1' THEN
        TMP <= ('0' & A) - ('0' & B);
    END IF;
END PROCESS;

C4 <= TMP(5);
S <= TMP(4 DOWNTO 1);

END HB;
```

- C0 : 가/감산기 선택비트
- A,B : 4비트 입력데이터
- S : A,B의 가감산값중 4Bit
- C4 : 자리올림/자리내림 값

EX_2_3. 4Bit 병렬 가감산기 시뮬레이션



동작적 표현과 자료흐름적 표현

동작적 표현

- 알고리즘 방법으로 표현
- 프로세스문 사용
- 상위레벨의 추상적 표현

자료흐름적 표현

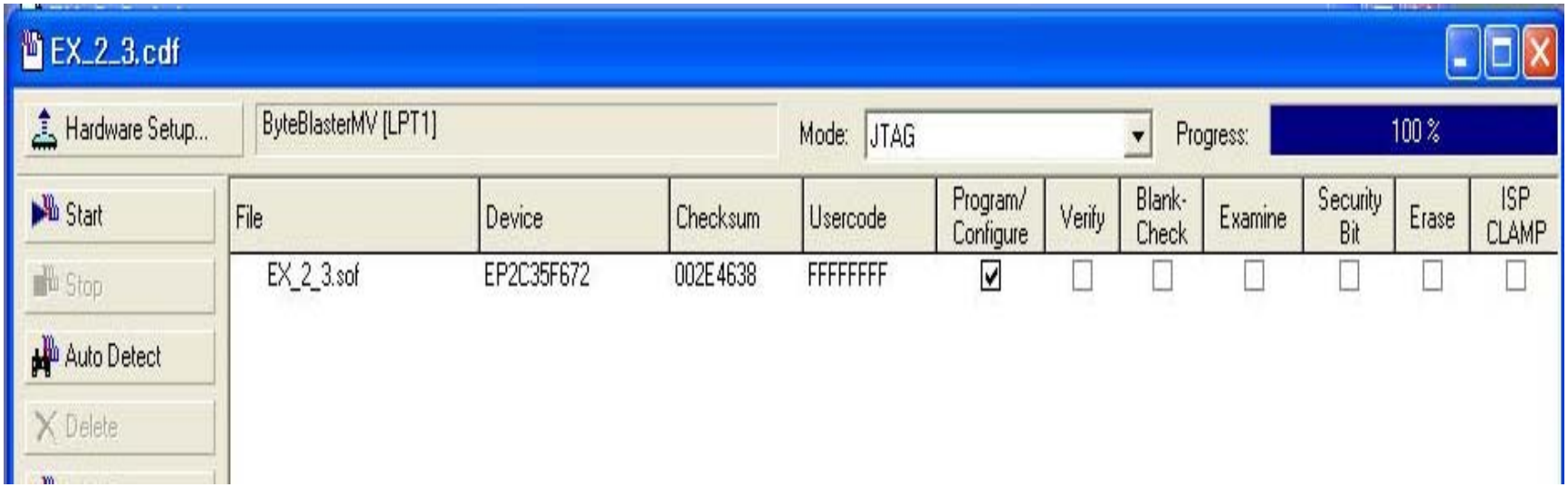
- 부울함수 등을 사용하여 표현
- 로우레벨의 표현 방법
- 순차적 동작이 아닌 병렬동작

EX_2_3. 4Bit 병렬 가감산기 핀 맵

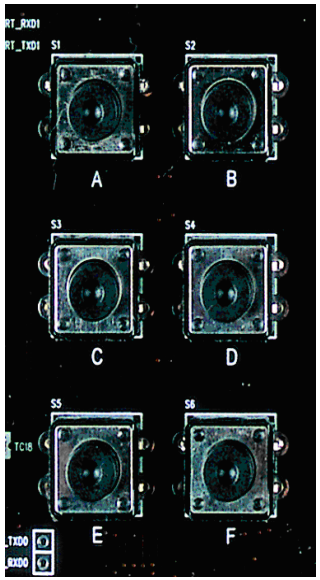
(주)한백전자

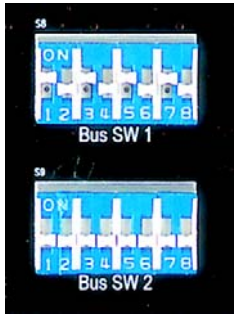
	To	Location	I/O Bank
1	A[1]	PIN_Y12	8
2	A[2]	PIN_AE11	8
3	A[3]	PIN_U12	8
4	A[4]	PIN_AC12	8
5	B[1]	PIN_AD12	8
6	B[2]	PIN_AA12	8
7	B[3]	PIN_AB12	8
8	B[4]	PIN_Y13	7
9	C0	PIN_Y10	8
10	C4	PIN_AF6	8
11	S[1]	PIN_AF7	8
12	S[2]	PIN_AE7	8
13	S[3]	PIN_AB8	8
14	S[4]	PIN_W8	8
15	<<new>>	<<new>>	

EX_2_3. 4Bit 병렬 가감산기 프로그래밍



EX_2_3. 4Bit 병렬 가감산기





- 입 출력 포트 관계
- 버스 스위치1 : 입력
  -A1:SW1(Y12),A2:SW2(AE11),A3:SW3(U12)
  A4:SW4(AC12),B1:SW5(AD12),B2:SW6(AA12),
  B3:SW7(AB12),B4:SW8(Y13)
- 스위치 : 입력
  -C0 : A(Y10)
- LED : 출력
  -S1:LED1(AF7),S2:LED2(AE7),S3:LED3(AB8)
  S4:LED4(W8), C4:LED6(AF6)

Contents

EX_3_1. 해독기 & 부호기의 기본 이론

입력		해독기 출력				부호기 출력	
A	B	D(0)	D(1)	D(2)	D(3)	Y(0)	Y(1)
0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	1
1	0	0	0	1	0	1	0
1	1	0	0	0	1	1	1

1) 디코더란
N bit의 코드를 입력하여 M개의 출력단자중 하나의 출력단자에 High(Low)를 출력하는 논리회로이다.

2) 인코더란
여러 개의 입력을 갖고 있으며 그 중 하나가 동작하면 그 입력에 해당하는 N bit의 출력코드가 생성된다.

EX_3_1. 해독기 & 부호기의 구문


```
LIBRARY IEEE;
    USE IEEE.STD_LOGIC_1164.ALL;
    USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY EX_2_4 IS
PORT(
    A : IN STD_LOGIC;
    B : IN STD_LOGIC;
    D : OUT STD_LOGIC_VECTOR(3 DOWNTO 0);
    Y : OUT STD_LOGIC_VECTOR(1 DOWNTO 0));
END EX_2_4;

ARCHITECTURE HB OF EX_2_4 IS

SIGNAL TMP : STD_LOGIC_VECTOR(0 TO 1);

BEGIN

TMP <= A & B;
PROCESS(A, B)
BEGIN
    CASE TMP IS
        WHEN "00" => D <= "0001";
        WHEN "01" => D <= "0010";
        WHEN "10" => D <= "0100";
        WHEN "11" => D <= "1000";
        WHEN OTHERS => NULL;
    END CASE;
END PROCESS;

Y <= A & B;

END HB;
```

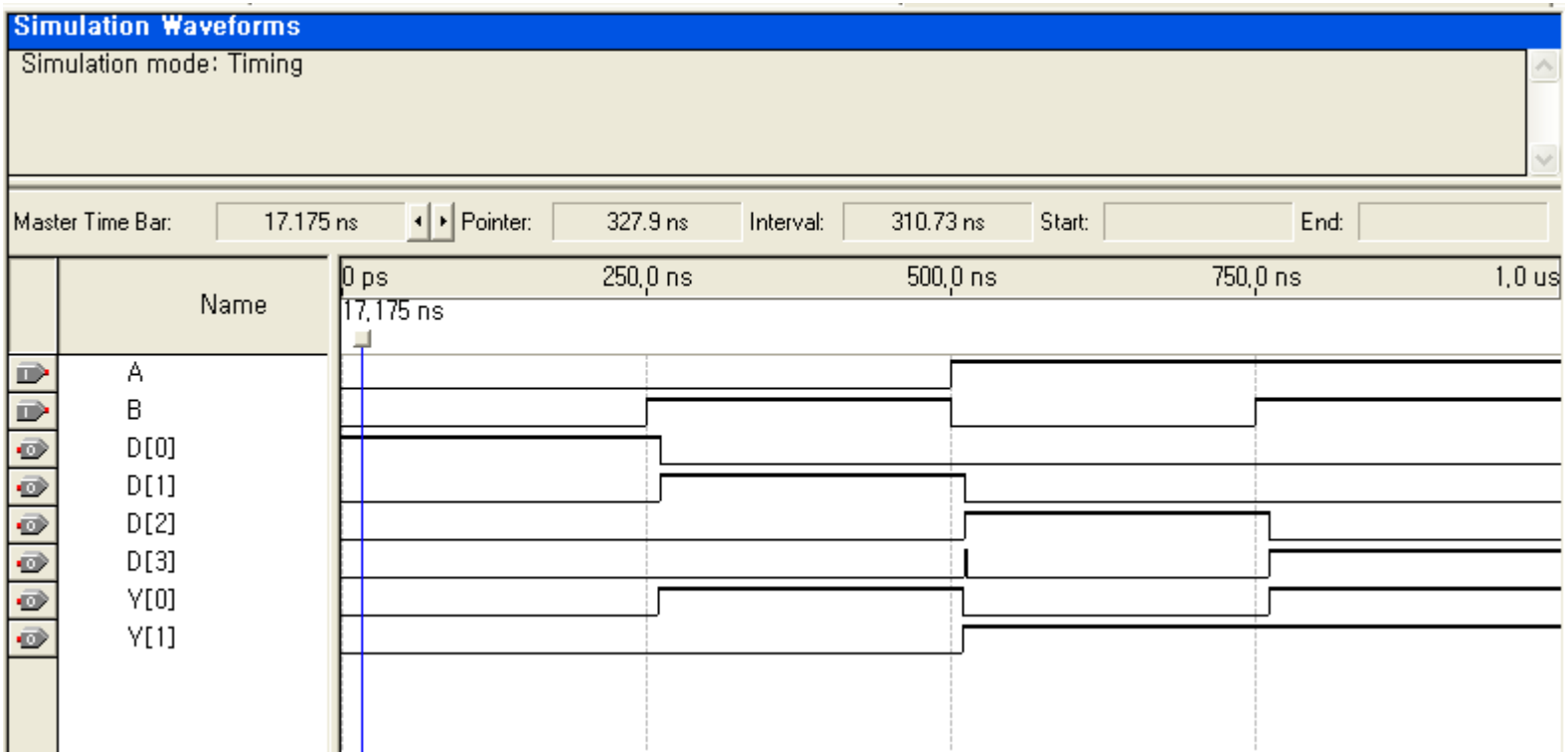
- A,B : 1비트 입력데이터
- D : 4비트 출력 데이터
- Y : 2비트 입력 데이터

해독기의 VHDL


```
ENTITY EX_3_1_V IS
PORT(
A, B  : IN BIT;
D     : OUT BIT_VECTOR(3 DOWNTO 0);
Y     : OUT BIT_VECTOR(1 DOWNTO 0));
END EX_3_1_V;
ARCHITECTURE HB OF EX_3_1_V IS
BEGIN
PROCESS(A,B)
BEGIN
IF A = '0' AND B = '0' THEN
D <= "0001";
ELSIF A = '0' AND B = '1' THEN
D <= "0010";
ELSIF A = '1' AND B = '0' THEN
D <= "0100";
ELSIF A = '1' AND B = '1' THEN
D <= "1000";
END IF;
END PROCESS;
Y <= A & B;
END HB;
```

```
ENTITY EX_3_1_V IS
PORT(
A, B  : IN BIT;
D     : OUT BIT_VECTOR(3 DOWNTO 0);
Y     : OUT BIT_VECTOR(1 DOWNTO 0));
END EX_3_1_V;
ARCHITECTURE HB OF EX_3_1_V IS
SIGNAL TMP : BIT_VECTOR(1 DOWNTO 0);
BEGIN
TMP <= A & B;
PROCESS(TMP)
BEGIN
CASE TMP IS
WHEN "00" => D <= "0001";
WHEN "01" => D <= "0010";
WHEN "10" => D <= "0100";
WHEN "11" => D <= "1000";
END CASE;
END PROCESS;
Y <= A & B;
END HB;
```

EX_3_1. 해독기 & 부호기의 시뮬레이션

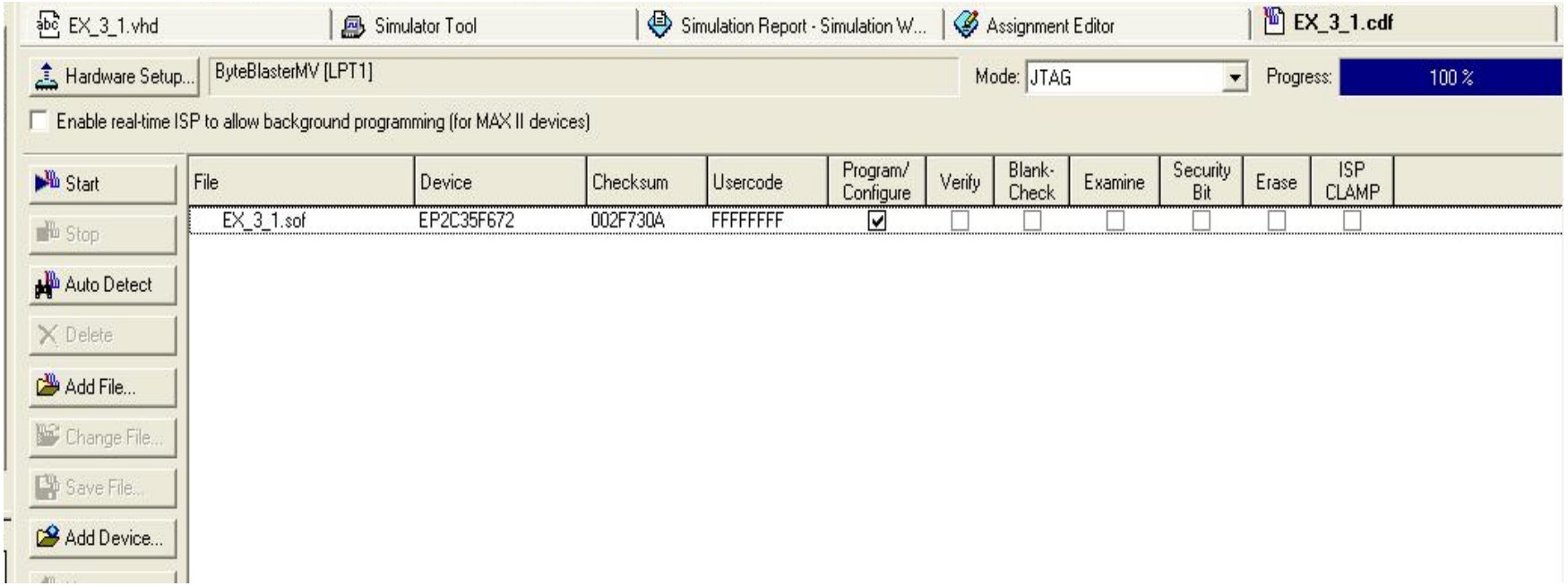


EX_3_1. 해독기 & 부호기의 핀 맵

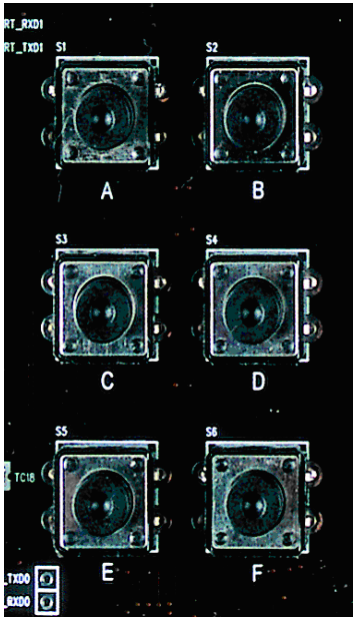
(주)한백전자

	To	Location	I/O Bank
1	A	PIN_Y10	8
2	B	PIN_W10	8
3	D[0]	PIN_AF7	8
4	D[1]	PIN_AE7	8
5	D[2]	PIN_AB8	8
6	D[3]	PIN_W8	8
7	Y[0]	PIN_AF6	8
8	Y[1]	PIN_AE6	8
9	<<new>>	<<new>>	

EX_3_1. 해독기 & 부호기의 프로그래밍



EX_3_1. 해독기 & 부호기



- 입 출력 포트 관계
- 스위치 : 입력
  - A : A(Y10), B : B(W10)
- LED : 출력
  - D(0) : LED1 (AF7), D(1) : LED2 (AE7)
    D(2) : LED3 (AB8), D(3) : LED4(W8)
  - Y(0) : LED5 (AF6), Y(1) : LED6(AE6)

Contents

EX_3_2. BCD-7segment의 기본이론

(주)한백전자

10진수	BCD 입력				제어 입력			출력							
	D	C	B	A	LT	RBI	BI	S-A	S-B	S-C	S-D	S-E	S-F	S-G	RBO
	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0
	X	X	X	X	0	X	1	1	1	1	1	1	1	0	1
0	0	0	0	0	1	1	1	0	1	1	0	0	0	0	1
0	0	0	0	0	1	X	1	1	1	0	1	1	0	1	1
1	0	0	0	1	1	X	1	1	1	1	1	0	0	1	1
2	0	0	1	0	1	X	1	1	1	0	1	1	0	1	1
3	0	0	1	1	1	X	1	1	1	1	1	0	0	1	1
4	0	1	0	0	1	X	1	0	1	1	0	0	1	1	1
5	0	1	0	1	1	X	1	1	0	1	1	0	1	1	1
6	0	1	1	0	1	X	1	1	0	1	1	1	1	1	1
7	0	1	1	1	1	X	1	1	1	1	0	0	0	0	1
8	1	0	0	0	1	X	1	1	1	1	1	1	1	1	1
9	1	0	0	1	1	X	1	1	1	1	1	0	1	1	1

BCD-to-7세그먼트 디코더는 4비트로 구성된 BCD 값을 입력으로 받아들여 7세그먼트 표시기에 사용되는 a, b, ... , g 신호를 만들어내는 조합회로이다.

BCD-to-7세그먼트 디코더는 2진수를 10진수로 변환해 주기 때문에 집적회로 설계자에 의해 디코더라는 이름이 붙여졌지만, 실제로는 4비트 십진수를 7비트 코드로 변환하는 코드 변환기라고 볼 수 있다.

EX_3_2. BCD-7segment 구문

```
LIBRARY IEEE;
    USE IEEE.STD_LOGIC_1164.ALL;
    USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY EX_3_2 IS
PORT(
    A, B, C, D : IN STD_LOGIC;
    LT, BI,RBI : IN STD_LOGIC;
    S_A, S_B, S_C, S_D : OUT STD_LOGIC;
    S_E, S_F, S_G, RBO : OUT STD_LOGIC;
    COM : OUT STD_LOGIC_VECTOR(1 TO 6)
    );
END EX_3_2;


ARCHITECTURE HB OF EX_3_2 IS

    SIGNAL TMP_D : STD_LOGIC_VECTOR(3 DOWNTO 0);
    SIGNAL TMP   : STD_LOGIC_VECTOR(6 DOWNTO 0);

BEGIN

    TMP_D <= A & B & C & D;
    COM(1) <= '0';
    COM(2 TO 6) <= "11111";

PROCESS(LT, RBI, BI, TMP)
BEGIN
    IF LT = '0' AND BI = '1' THEN
        TMP <= "1000000";
        RBO <= '1';
    ELSIF LT = '1' AND RBI = '0' AND TMP_D = "0000" THEN
        TMP <= "1111111";
        RBO <= '0';
    ELSIF BI = '0' THEN
        TMP <= "1111111";
```

- A,B,C,D : 입력
- LT, BT, RBI : 제어입력
- S_A~S_G : SEGMENT 출력
- RBO : LED 출력
- COM : segment중 출력할 segment 위치 지정 비트
- TMP_D : BCD코드 값
- TMP : segment 출력 값

EX_3_2. BCD-7segment 구문

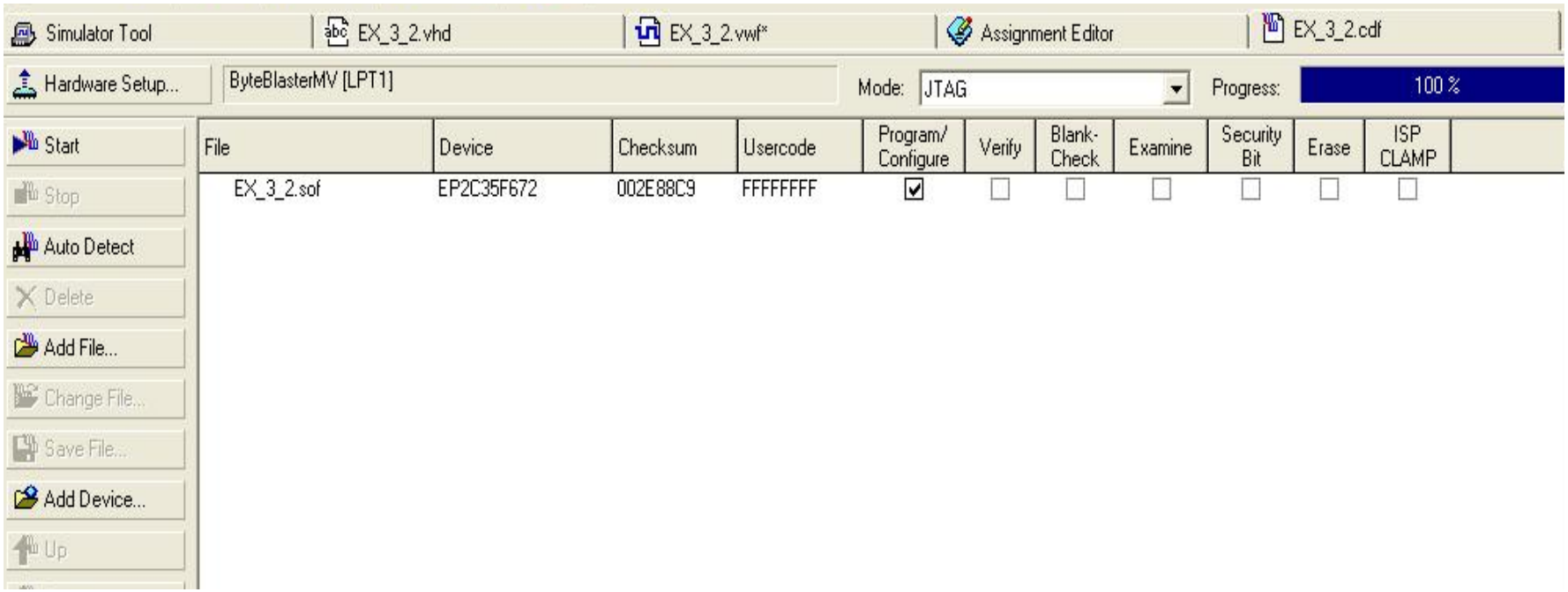

```
    ELSIF BI = '0' THEN
        TMP <= "1111111";
        RBO <= '1';
    ELSIF LT = '1' AND RBI = '1' AND BI = '1' THEN
        TMP <= "1111110";
        RBO <= '1';
    ELSIF LT = '1' AND BI = '1' THEN
        CASE TMP_D IS
            WHEN "0001" => TMP <= "0110000";
                           RBO <= '1';
            WHEN "0010" => TMP <= "1101101";
                           RBO <= '1';
            WHEN "0011" => TMP <= "1111001";
                           RBO <= '1';
            WHEN "0100" => TMP <= "0110011";
                           RBO <= '1';
            WHEN "0101" => TMP <= "1011011";
                           RBO <= '1';
            WHEN "0110" => TMP <= "1011111";
                           RBO <= '1';
            WHEN "0111" => TMP <= "1110010";
                           RBO <= '1';
            WHEN "1000" => TMP <= "1111111";
                           RBO <= '1';
            WHEN "1001" => TMP <= "1111011";
                           RBO <= '1';
            WHEN OTHERS => NULL;
        END CASE;
    END IF;
END PROCESS;

S_A <= TMP(6);
S_B <= TMP(5);
S_C <= TMP(4);
S_D <= TMP(3);
S_E <= TMP(2);
S_F <= TMP(1);
S_G <= TMP(0);

END HB;
```

EX_3_2. BCD-7segment 핀 맵

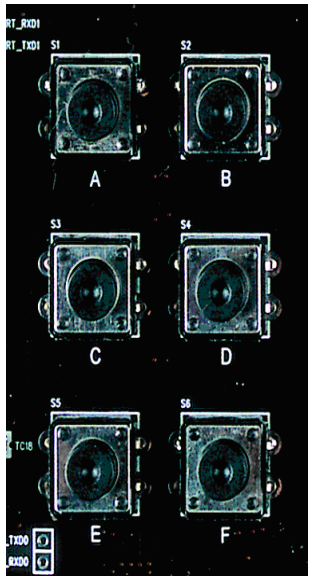
(주)한백전자

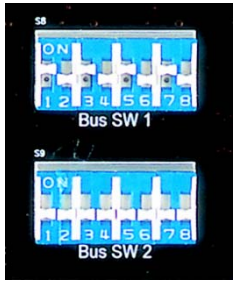
	To	Location	I/O Bank
1	A	PIN_Y10	8
2	B	PIN_W10	8
3	BI	PIN_AA12	8
4	C	PIN_AA9	8
5	COM[1]	PIN_Y1	1
6	COM[2]	PIN_Y4	1
7	COM[3]	PIN_Y3	1
8	COM[4]	PIN_W1	1
9	COM[5]	PIN_Y5	1
10	COM[6]	PIN_W3	1
11	D	PIN_V9	8
12	LT	PIN_Y13	7
13	RBI	PIN_AB12	8
14	RBO	PIN_AF7	8
15	S_A	PIN_AF5	8
16	S_B	PIN_AE5	8
17	S_C	PIN_AD6	8
18	S_D	PIN_AC6	8
19	S_E	PIN_AA2	1
20	S_F	PIN_AA1	1
21	S_G	PIN_AA6	1
22	<<new>>	<<new>>	

EX_3_2. BCD-7segment 프로그래밍



EX_3_2. BCD-7segment





- 입 출력 포트 관계
- 버튼 스위치 : 입력
  -D:A(Y10), C:B(W10), B:C(AA9), A:D(V9)
- 버스스위치 : 입력
  - LT : 8(Y13), RBI : 7(AB12), BI : 6(AA12)
- 7SEGMENT : 출력
  -S_A: A(AF5), S_B:B(AE5), S_C:C(AD6), S_D:D(AC6)
  S_E:E(AA2), S_F:F(AA1), S_G:G(AA6)
  COM1:CMO1(Y1), COM2:COM2(Y4), COM3:COM3(Y3)
  COM4:COM4(W1),COM5:COM5(Y5),COM6:COM6(W3)
- LED : 출력
  -RBO : LED1(AF7)