

USART Serial Communication

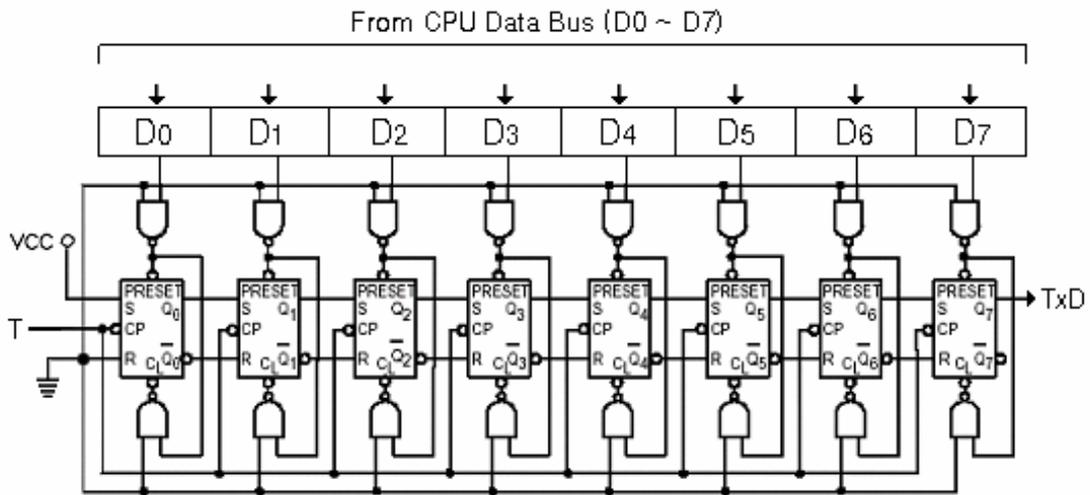
Jee-Hwan Ryu

School of Mechanical Engineering
Korea University of Technology and Education

통신방법

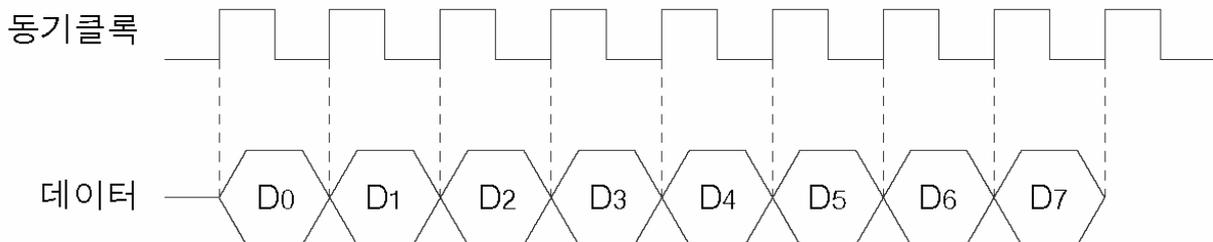
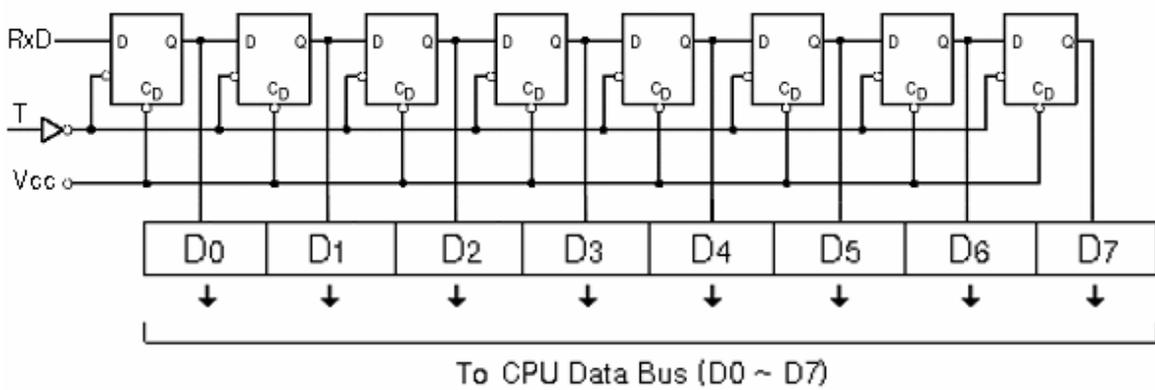
- 병렬통신
 - 고속데이터 전송이 필요한 곳에서 이루어짐
 - 여러 개의 라인에서 동시에 이루어짐
- 직렬통신
 - 한 라인에서 이루어짐
 - 데이터의 송수신 속도가 느리다
 - 라인 수 적고 멀리까지 통신
 - 동기식, 비동기식 있음
- 동기식: 기준 클럭인 동기 클럭라인과 데이터 송/수신에 필요한 라인이 있다. 동기 클럭에 동기해서 데이터를 순차적으로 송/수신
 - 높은 전송효율을 필요로 하고 선로에 잡음이 있거나 장거리 전송에 유리, 대량의 데이터를 고속으로 전송하는데 사용
- 비동기식: 동기클럭 없이 데이터의 전송 속도가 동기를 대신
 - 약속된 Baud rate(1초당 데이터를 몇 개씩 보내느냐)에 따라서 양쪽의 송/수신기는 데이터 주고 받는다
 - 제어비트 (start bit, stop bit)를 사용해 데이터의 시작과 끝을 알림

동기식 송신의 원리



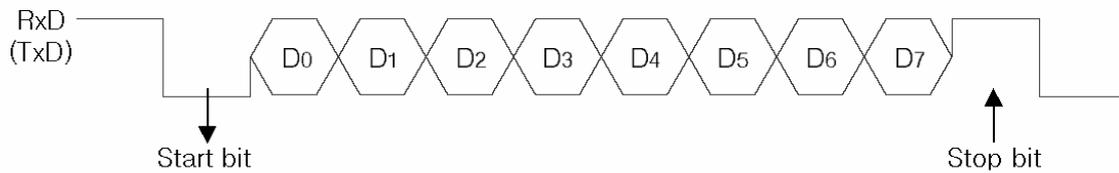
Korea University of Technology and Education

동기식 수신기의 원리



Korea University of Technology and Education

비동기식 방법



Korea University of Technology and Education

USART 직렬통신 포트 개요

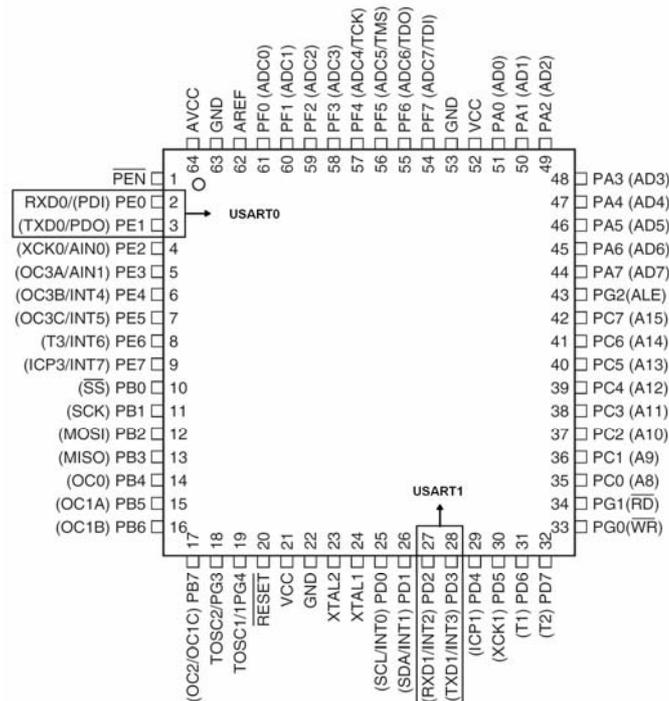
- Universal Synchronous and Asynchronous Receiver and Transmitter
 - USART0 및 USART1 2개의 직렬포트를 가짐
- 동기 및 비동기 전송모드에서 전이중 통신이 가능
 - 전이중 통신방식(full-duplex)이란 송신을 하면서 동시에 수신도 할 수 있는 방식을 말한다.
- 멀티프로세서 통신모드 동작 가능
- 높은 정밀도의 Baud Rate Generator 내장
- 동기식 전송모드에서 마스터로 동작하는 경우는 내부클럭 사용하여 전송속도 결정, 슬레이브로 동작하는 경우 XCKn단자로 입력되는 클럭신호에 의하여 동작
- 비동기식 전송모드에서는 항상 내부클럭에 의하여 보레이트가 결정 됨

Korea University of Technology and Education

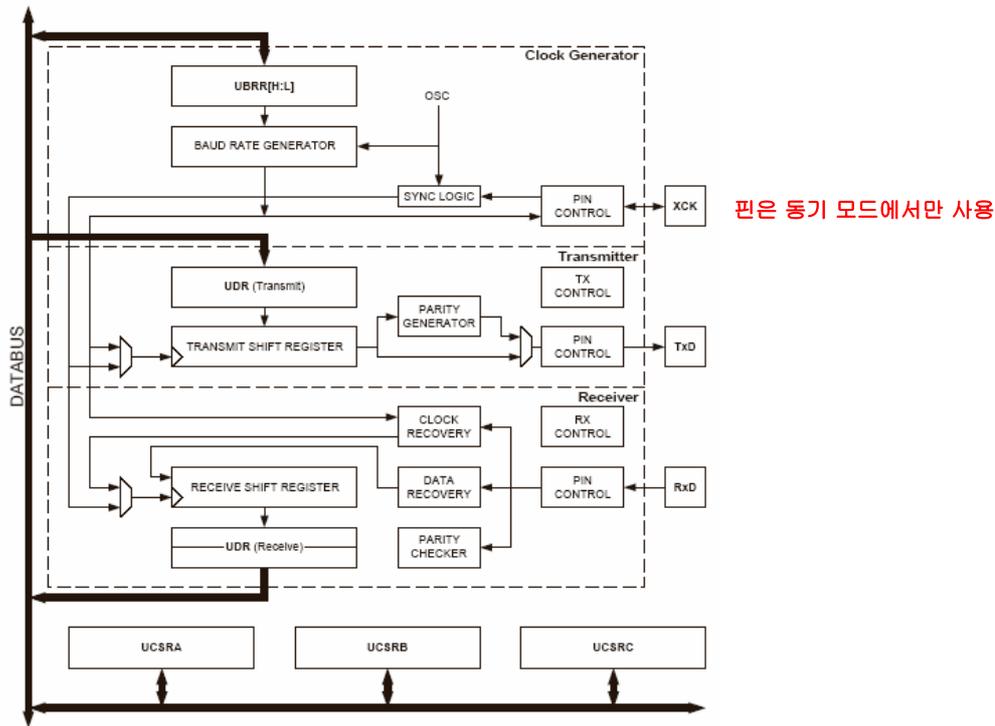
USART 직렬통신 포트 개요

- 전송 데이터는 5~9비트로 설정, 스톱 비트는 1~2비트로 설정 가능
- 전송 중 패리티비트 사용하지 않을 수도 있고, 짝수 또는 홀수 패리티를 임의로 설정 가능
- 수신동작에는 패리티 에러, 오버런 에러, 프레임 에러를 검출하는 기능 있다.
- 송신 완료 (TX Complete), 송신 데이터 레지스터 준비 완료 (TX Data Register Empty), 수신 완료 (RX Complete) 등 3가지 인터럽트 사용

USART 핀



USART 직렬통신 포트의 구성 블록도



Korea University of Technology and Education

UDRn (USARTn I/O Data Register)

- 송수신 데이터 버퍼의 기능을 수행
- 각 포트의 송/수신 버퍼는 동일한 번지에 위치하지만 내부적으로는 서로 다른 별개의 레지스터
 - 송신할 데이터를 UDRn에 쓰면, 송신 데이터 버퍼 TXBn에 저장됨
 - 수신데이터 버퍼 RXBn에 있는 값이 UDRn으로 읽혀진다
- 전송 데이터 문자를 5~7 비트로 설정
 - 송신의 경우 사용하지 않는 상위비트 무시
 - 수신인 경우 이 상위비트들이 수신부에서 0으로 처리

Bit	7	6	5	4	3	2	1	0	
	RXBn[7:0]								UDRn (Read)
	TXBn[7:0]								UDRn (Write)
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Korea University of Technology and Education

UDRn (USARTn I/O Data Register)

- 송신 버퍼는 UCSRnA 레지스터의 UDREn 플래그 비트가 1로 되어있는 경우에만 라이트 가능
- UDREn 플래그 비트가 0으로 되어있는 경우는 만약 UDRn에 데이터를 라이트 하더라도 이는 송신부가 무시한다.
- 정상적으로 UDRn 레지스터의 송신 버퍼에 라이트 된 데이터는 송신 쉬프트 레지스터가 비어 있을 경우 자동적으로 옮겨지고, 이것은 TXDn핀을 통하여 직렬로 송신된다.

Korea University of Technology and Education

UCSRnA (Control and Status Register A)

- 송수신 동작을 제어하거나 송수신 상태를 저장하는 기능을 수행한다.

Bit	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREn	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

- RXCn (Receive Complete)
 - 수신 버퍼에 읽혀지지 않은 수신 문자가 들어 있으면 1
 - CPU가 이를 읽어 수신버퍼가 비어있는 상태 0
 - 이 비트가 1로 되면 수신완료 인터럽트 요청된다.
- TXCn (Transmit Complete)
 - 송신 시프트 레지스터에 있는 송신 데이터가 모두 송신되고 UDRn 송신 버퍼에 아직 새로운 송신 데이터가 라이트되지 않은 상태 1
 - 이는 송신완료 인터럽트 요청하고, 이 인터럽트 처리가 시작되면 이 비트는 자동으로 0으로 클리어 된다.

Korea University of Technology and Education

UCSRnA (Control and Status Register A)

- UDREn (Data Register Empty)
 - UDRn의 송신버퍼가 비어있어 새로운 송신 데이터를 받을 준비가 되어 있으면 1
 - 이는 송신 데이터 레지스터 준비완료 인터럽트 요청
- FEn (Frame Error)
 - UDRn의 수신 버퍼에 현재 저장되어 있는 데이터를 수신하는 동안 프레임 에러가 발생하였음을 나타냄
 - 프레임 에러는 수신문자의 첫 번째 스톱 비트가 0으로 검출되면 발생한다.
 - UCSRnA 레지스터를 라이트하면 0으로 클리어된다.
- DORn (USARTn Data Overrun Error)
 - 수신동작에서 오버런 에러가 발생하였음을 나타내는 상태 플래그
 - 오버런 에러: UDRn의 수신 버퍼에 현재 읽지 않은 수신문자가 들어있는 상태에서 수신 시프트 레지스터에 새로운 데이터가 문자가 수신 완료되고 다시 그 다음 수신 데이터인 3번째 문자의 스타트 비트가 검출되면 발생. UCSRnA 레지스터를 라이트하면 0으로 클리어 된다.

Korea University of Technology and Education

UCSRnA (Control and Status Register A)

- UPEn (Parity Error)
 - UDRn의 수신 버퍼에 현재 저장되어 있는 데이터를 수신하는 동안 패리티 에러가 발생하였음을 나타내는 상태 플래그
 - 패리티 에러는 UCSRnC 레지스터에서 UPMn1=1로 하여 패리티 비트를 사용하도록 설정한 경우만 발생
 - UCSRnA 레지스터를 라이트하면 이 비트는 무조건 0으로 클리어
- U2Xn (Double the USARTn Transmission Speed)
 - 비동기 모드에서만 유효한 것으로 클럭의 분주비를 16에서 8로 낮추어 전송속도를 2배 높이는 기능을 수행
- MPCMn (Multi-Processor Communication Mode)
 - 멀티프로세서 통신모드로 설정
 - 멀티프로세서 통신모드에서는 어드레스 정보를 포함하지 않는 모든 수신 데이터는 수신부에 의하여 무시된다.
 - 송신부는 이 비트에 의하여 영향을 받지 않는다.

Korea University of Technology and Education

UCSRnB (Control and Status Register B)

- 포트의 송수신 동작을 제어하거나, 전송데이터를 9비트로 설정한 경우에 전송 데이터의 9번째 비트값을 저장하는 기능을 수행한다.

Bit	7	6	5	4	3	2	1	0	
	RXCIE _n	TXCIE _n	UDRIE _n	RXEN _n	TXEN _n	UCSZ _{n2}	RXB8 _n	TXB8 _n	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- RXCIE_n (RX Complete Interrupt Enable)
 - 수신완료 인터럽트를 개별적으로 허용하는 비트
 - 이를 1로 설정하고, SREG 레지스터의 I비트가 1이라면, UCSRnA 레지스터의 RXCn비트가 1로 되는 경우 수신완료 인터럽트 발생
- TXCIE_n (TX Complete Interrupt Enable)
 - 송신완료 인터럽트를 개별적으로 허용하는 비트
 - 이를 1로 설정하고, SREG 레지스터의 I비트가 1이라면, UCSRnA 레지스터의 TXCn비트가 1로 되는 경우 송신완료 인터럽트 발생

Korea University of Technology and Education

UCSRnB (Control and Status Register B)

- UDRIE_n (Data Register Empty Interrupt Enable)
 - 송신데이터 준비완료 인터럽트 개별적으로 허용
 - 이를 1로 설정하고, SREG 레지스터의 I비트가 1이라면, UCSRnA 레지스터의 UDRE_n비트가 1로 되는 경우 송신데이터 레지스터 준비완료 인터럽트 발생
- RXEN_n (Receiver Enable)
 - 포트의 수신부가 동작하도록 허용한다.
 - RxD_n핀이 병렬 I/O포트가 아니라 직렬 데이터 수신단자로 동작하도록 설정
 - 에러 플래그 비트 FEn, DOR_n, UPE_n의 동작을 유효하도록 한다.
- TXEN_n (Transmitter Enable)
 - 포트의 송신부가 동작하도록 허용한다.
 - TxD_n핀이 병렬 I/O포트가 아니라 직렬 데이터 송신단자로 동작하도록 설정

Korea University of Technology and Education

UCSRnB (Control and Status Register B)

- UCSZn2 (Character Size)
 - UCSRnC 레지스터의 UCSZn1~0 비트와 함께 전송 문자의 데이터 비트수를 설정하는 데 사용
- RXB8n (Receive Data Bit 8)
 - 전송문자가 9비트로 설정된 경우 수신된 문자의 9번째 비트 (MSB)를 저장한다.
 - 이는 반드시 UDRn 레지스터보다 먼저 읽혀야 한다.
- TXB8n (Transmit Data Bit 8)
 - 전송문자가 9비트로 설정된 경우 송신할 문자의 9번째 비트 (MSB)를 저장한다.
 - 이는 반드시 UDRn 레지스터보다 먼저 라이트되어야 한다.

UCSRnC (Control and Status Register C)

- 포트의 송수신 동작을 제어하는 기능을 수행

Bit	7	6	5	4	3	2	1	0	
	-	UMSELn	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	1	1	0	

- UMSELn (Mode Select)

UMSELn	Mode
0	Asynchronous Operation
1	Synchronous Operation

UCSRnC (Control and Status Register C)

- UPMn1~0 (Parity Mode): 포트에서 패리티 모드를 설정

UPMn1	UPMn0	Parity Mode
0	0	Disabled
0	1	(Reserved)
1	0	Enabled, Even Parity
1	1	Enabled, Odd Parity

- USBSn (Stop Bit Select)

USBSn	Stop Bit(s)
0	1-bit
1	2-bits

UCSRnC (Control and Status Register C)

- UCSZn1~0 (Character Size): 전송문자의 데이터 비트수 설정

UCSZn2	UCSZn1	UCSZn0	Character Size
0	0	0	5-bit
0	0	1	6-bit
0	1	0	7-bit
0	1	1	8-bit
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	9-bit

- UCPOLn (Clock Polarity): 동기 전송모드의 슬레이브 동작에서만 유효

UCPOLn	Transmitted Data Changed (Output of TxDn Pin)	Received Data Sampled (Input on RxDn Pin)
0	Rising XCKn Edge	Falling XCKn Edge
1	Falling XCKn Edge	Rising XCKn Edge

UBRRnH/L (Baud Rate Register)

- 포트의 송수신 속도를 설정하는 기능, 16비트 중 12비트 만 유효
- 항상 상위비트인 UBRRnH를 먼저 라이트
- 클럭의 분주비로 작용하여 직렬포트의 전송속도 결정

Bit	15	14	13	12	11	10	9	8	
	-	-	-	-	UBRRn[11:8]				UBRRnH
	UBRRn[7:0]								UBRRnL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Korea University of Technology and Education

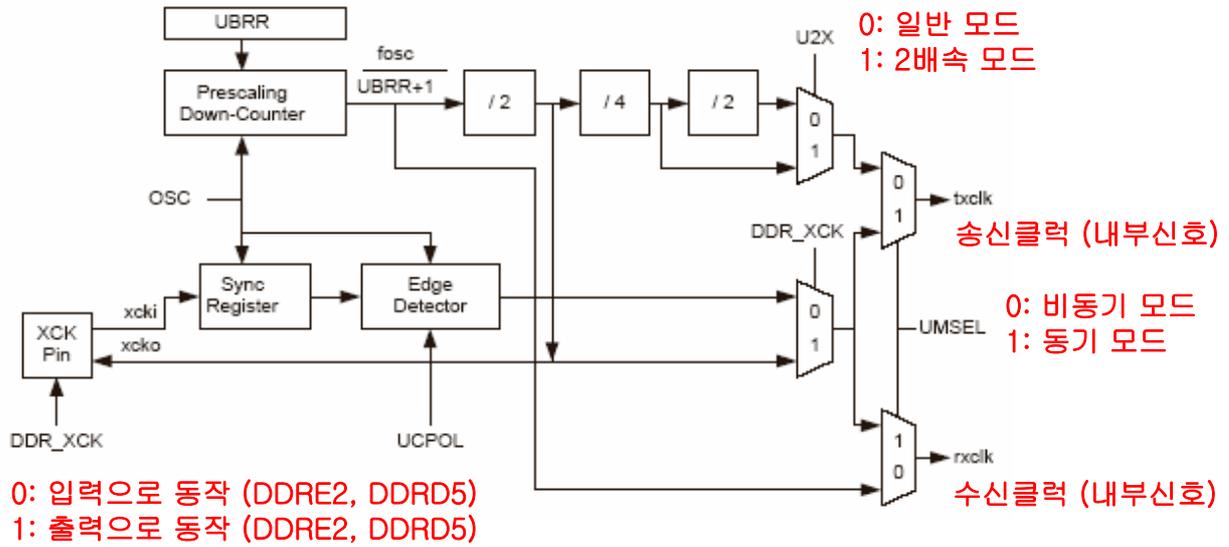
Baud Rate 설정

- BAUD 단위: bps (bits per second)
- UBRRn 12비트 사용하므로 0~4095 범위의 값을 가짐
- f_{OSC} : 시스템 오실레이터 클럭 주파수, 16MHz
- 동기 슬레이브 모드에서는 XCKn 단자로 입력되는 클럭의 주파수가 그대로 Baud Rate가 된다

Operating Mode	Equation for Calculating Baud Rate ⁽¹⁾	Equation for Calculating UBRR Value
Asynchronous Normal Mode (U2X = 0)	$BAUD = \frac{f_{osc}}{16(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{16BAUD} - 1$
Asynchronous Double Speed Mode (U2X = 1)	$BAUD = \frac{f_{osc}}{8(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{8BAUD} - 1$
Synchronous Master Mode	$BAUD = \frac{f_{osc}}{2(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{2BAUD} - 1$

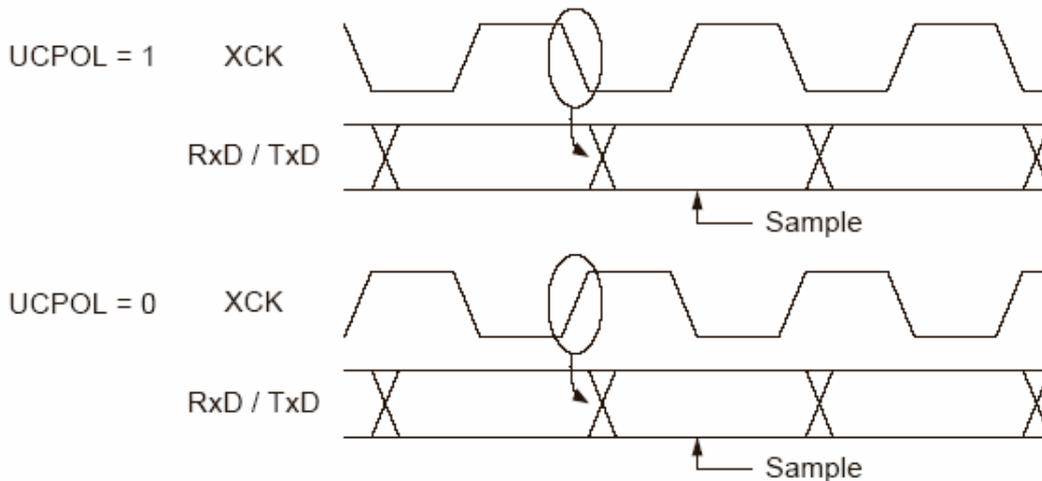
Korea University of Technology and Education

클럭 발생부



Korea University of Technology and Education

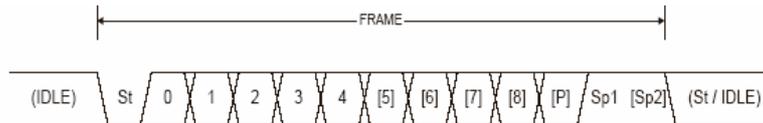
동기 모드에서 XCKn 클럭의 동작 타이밍



Korea University of Technology and Education

전송 데이터 포맷

- 1 start bit
- 5~9 data bit
- 1 parity bit
 - 사용하지 않을 수도 있다
 - 사용한다면, 짝수 방식과 홀수 방식 지정 가능
- 1~2 stop bit



St Start bit, always low.
(n) Data bits (0 to 8).
P Parity bit. Can be odd or even.
Sp Stop bit, always high.
IDLE No transfers on the communication line (RxD or TxD). An IDLE line must be high.

Korea University of Technology and Education

전송 데이터 포맷

- 전송 데이터가 n개의 비트로 구성되는 경우 패리티 비트를 계산하여 전송 에러 체크

$$P_{even} = d_{n-1} \oplus \dots \oplus d_3 \oplus d_2 \oplus d_1 \oplus d_0 \oplus 0$$
$$P_{odd} = d_{n-1} \oplus \dots \oplus d_3 \oplus d_2 \oplus d_1 \oplus d_0 \oplus 1$$

P_{even} Parity bit using even parity
 P_{odd} Parity bit using odd parity
 d_n Data bit n of the character

- 비동기 직렬전송에서 스톱 비트는 통신기능에 직접적인 역할을 수행하지는 않으며, 다만 수신측의 CPU가 데이터 수신동작을 수행하는데 필요한 시간 여유를 주는데 목적이 있다.

Korea University of Technology and Education

멀티프로세서 통신 모드

- 1개의 마스터 프로세서가 여러 개의 슬레이브 프로세서에게 특정한 어드레스를 전송함으로써 1개의 슬레이브만을 지정하여 데이터를 전송하는 동작 모드
- 마스터 송신측에는 특별한 모드 설정이 필요 없다
- 여러 개의 슬레이브 수신측은 UCSRnA 레지스터의 MPCMn 비트를 1로 지정하여 어드레스 프레임이 수신되기를 기다린다