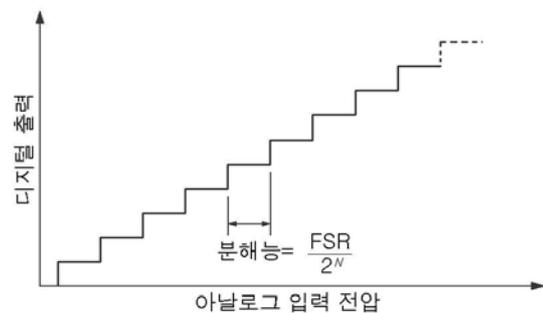
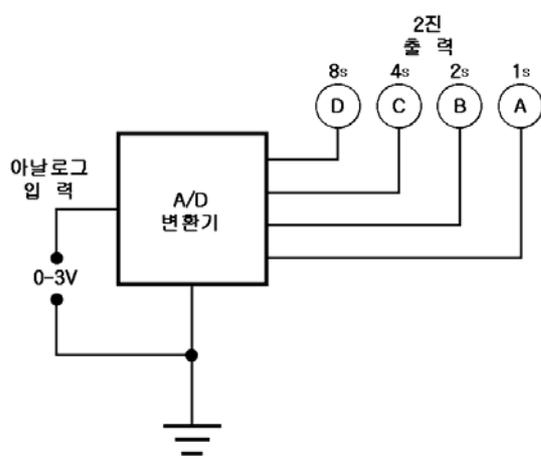


A/D Converter

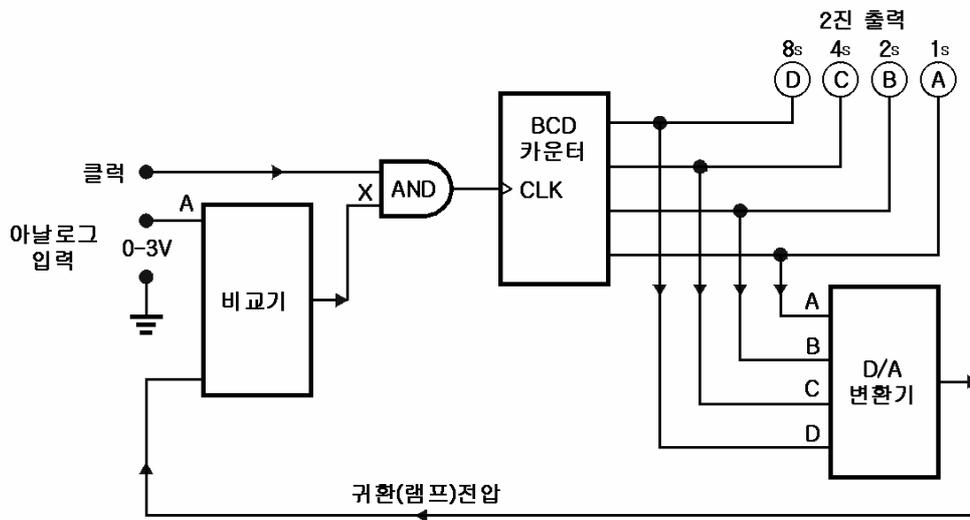
Jee-Hwan Ryu

School of Mechanical Engineering
Korea University of Technology and Education

A/D converter의 원리

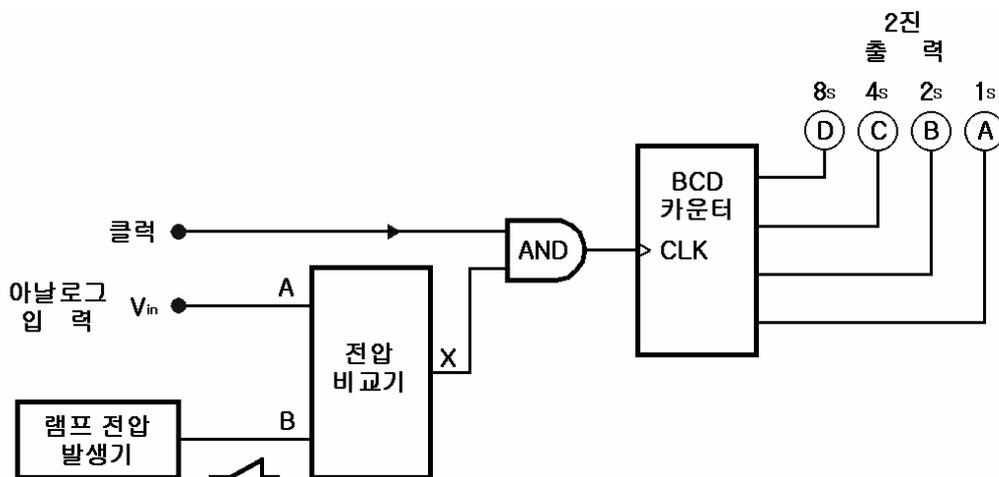


카운터 램프형 (추적형) AD 변환기

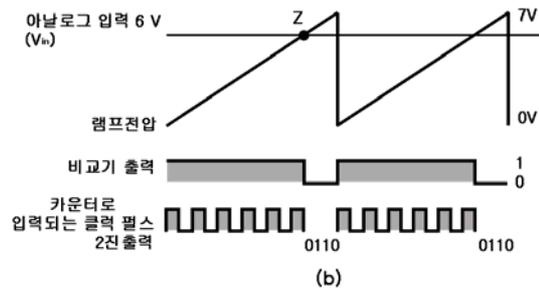
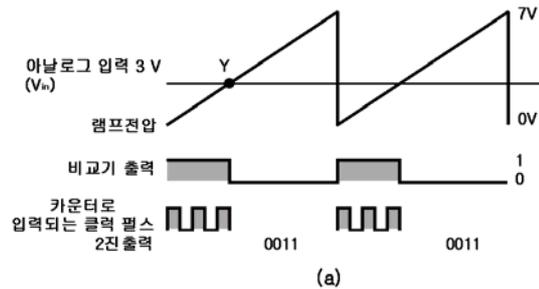


아날로그 입력 > 귀환전압 → X = 1

램프형 AD 변환기



램프형 AD 변환기 원리



아날로그 입력전압이 높아질 수록 카운트를 하기위한 시간이 길어지는 단점이 있음

축차 근사형 A/D 변환기

- 최상위 비트로부터 순서대로 하위비트쪽으로 수정하여 가는 방법으로 DAC의 출력을 훨씬 빨리 아날로그 입력전압에 근사 시킨다.
- 100→110→111→110의 과정으로 최종적으로 디지털 변환출력 110을 얻는다.
- 비교적 변환시간이 빠르고 회로도 간단하여 현재 저가형 이면서 분해능이 비교적 높은 범용 A/D Converter에 가장 널리 사용되고 있다.
- 변환중에 아날로그 입력전압이 일정하게 유지되어야 하므로 샘플/홀드가 반드시 필요

ATmega128 A/D Converter

- 8채널 10비트 분해능의 축차비교형 A/D 컨버터
- 모두 포트F와 동일한 단자를 사용
- MCU내부의 아날로그 멀티플렉서에 의하여 선택된다.
- A/D컨버터의 앞단에는 샘플/홀드 회로를 가지고, A/D변환이 수행되는 동안에는 아날로그 전압을 일정하게 유지
- 각 채널은 8개의 단극성(single ended) 아날로그 입력으로 사용될 수도 있고, 1개의 지정된 핀을 기준으로 하는 7개의 차동(differential) 입력으로 사용될 수도 있다.
- 2가지의 차동입력에 대해서는 입력된 아날로그 신호를 MCU내부에서 10배 또는 200배 증폭하여 A/D 변환할 수도 있다.
- 아날로그 입력전압 범위: $0 \sim V_{REF}$

Korea University of Technology and Education

ATmega128 A/D Converter

- 차동입력 경우 입력전압 범위: $-V_{REF} \sim V_{REF}$
- 기준 전압 V_{REF} 는 전원전압 V_{CC} 초과할 수 없다.
- V_{REF} 전압은 외부의 AREF 단자로 입력된 전압을 사용할 수도 있고, MCU내부의 기준전압 2.56V를 사용할 수도 있다.
- 변환 모드에는 단일변환 모드(single conversion mode)와 프리러닝 모드(free running mode)가 있으며, 변환이 완료되면 변환 결과가 저장되는 데이터 레지스터가 업데이트되면서 A/D변환완료 인터럽트(ADC Conversion Complete Interrupt)가 요청되고 ADCSRA 레지스터의 ADIF 플래그가 1로 세트된다.
- 보다 안정된 동작을 위하여 MCU의 디지털 전원과 별도로 아날로그 전원 단자 AVCC를 가지며, A/D변환에 필요한 기준전압단자 AREF도 가지고 있다.

Korea University of Technology and Education

MUX4~0 (Analog Channel and Gain Selection Bit)

MUX4..0	Single Ended Input	Positive Differential Input	Negative Differential Input	Gain
00000	ADC0	N/A		
00001	ADC1			
00010	ADC2			
00011	ADC3			
00100	ADC4			
00101	ADC5			
00110	ADC6			
00111	ADC7			
01000		ADC0	ADC0	10x
01001		ADC1	ADC0	10x

Korea University of Technology and Education

MUX4..0	Single Ended Input	Positive Differential Input	Negative Differential Input	Gain
01010	N/A	ADC0	ADC0	200x
01011		ADC1	ADC0	200x
01100		ADC2	ADC2	10x
01101		ADC3	ADC2	10x
01110		ADC2	ADC2	200x
01111		ADC3	ADC2	200x
10000		ADC0	ADC1	1x
10001		ADC1	ADC1	1x
10010		ADC2	ADC1	1x
10011		ADC3	ADC1	1x
10100		ADC4	ADC1	1x
10101		ADC5	ADC1	1x
10110		ADC6	ADC1	1x
10111		ADC7	ADC1	1x
11000	ADC0	ADC2	1x	
11001	ADC1	ADC2	1x	
11010	ADC2	ADC2	1x	
11011	ADC3	ADC2	1x	
11100	ADC4	ADC2	1x	
11101	ADC5	ADC2	1x	
11110	1.23V (V _{BG})	N/A		
11111	0V (GND)	N/A		

Korea Uni

ADCSRA (ADC Control and Status Register A)

- A/D converter의 동작을 설정하거나, 동작 상태를 표시하는 기능을 수행
- ADEN(ADC Enable)
 - A/D 컨버터의 모든 동작을 허용(1), 꺼짐(0)
- ADSC(ADC Start Conversion)
 - 1: A/D 컨버터 변환의 시작
- ADFR(ADC Free Running Select)
 - A/D 컨버터를 프리러닝 모드로 설정한다.
 - 프리러닝 모드에서는 ADSC 비트를 1로 설정하여 한번만 변환을 스타트시키고나면 그 다음부터는 반복적으로 동작을 수행, 임의의 시간에 ADC 결과 레지스터를 읽어들이 수 있다.

Bit	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ADCSRA (ADC Control and Status Register A)

- ADIF(ADC Interrupt Flag)
 - 1: A/D 변환이 완료되어 ADC 데이터 레지스터 값이 갱신됨
 - 이때 ADIE=1로 설정되고 SREG(I=1) 이면, 이 인터럽트가 발생
- ADIE(ADC Interrupt Enable)
 - A/D 변환완료 인터럽트를 개별적으로 허용
- ADPS2~0(ADC Prescaler Select Bit): 인가되는 클럭의 분주비를 선택

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

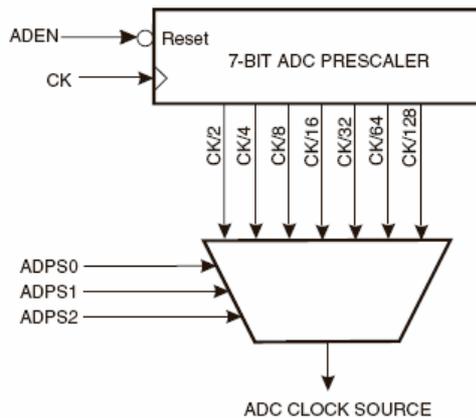
ADCH/ADCL (ADC Data Register)

- A/D converter의 변환 결과를 저장
 - 단극성 입력: 10비트 양의정수 (0~1023)
 - 차동 입력: 10비트 2의 보수 (-512 ~ 511)
 - 하위바이트(ADCL) 먼저 읽고, 상위바이트(ADCH) 나중에 읽음

Bit	15	14	13	12	11	10	9	8		
ADLAR = 0:	-							ADC9	ADC8	ADCH
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL	
Read/Write	R	R	R	R	R	R	R	R		
Initial Value	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	R	R	R	R	R	R	R	R		
	0	0	0	0	0	0	0	0		
	0	0	0	0	0	0	0	0		
ADLAR = 1:	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH	
	ADC1	ADC0	-	-	-	-	-	-	ADCL	
Read/Write	R	R	R	R	R	R	R	R		
Initial Value	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	R	R	R	R	R	R	R	R		
	0	0	0	0	0	0	0	0		
	0	0	0	0	0	0	0	0		

클럭의 선택 및 동작 타이밍

ADEN=1인 경우만 프리스케일러 동작



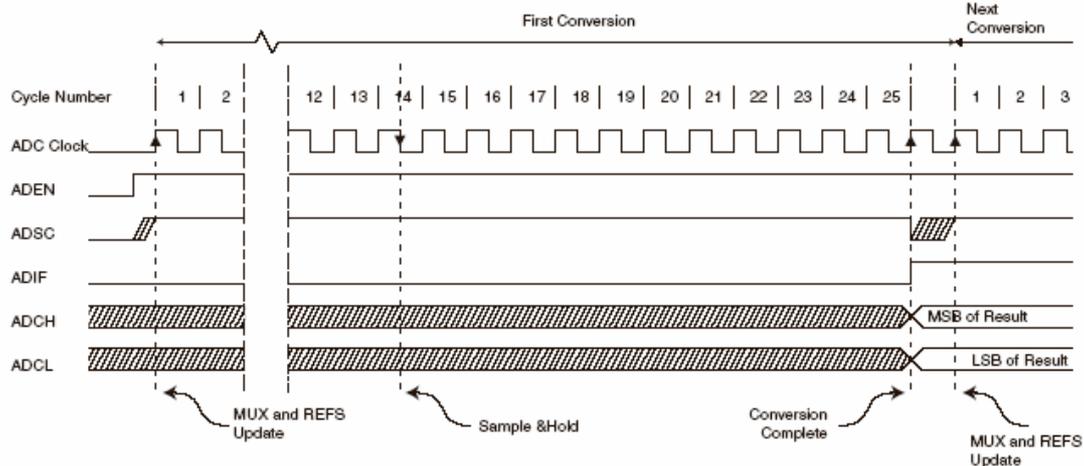
포함되어 있음

ADEN=1 설정 후

Condition	Sample & Hold (Cycles from Start of Conversion)	Conversion Time (Cycles)
First conversion	14.5	25
Normal conversions, single ended	1.5	13
Normal conversions, differential	1.5/2.5	13/14

클럭의 선택 및 동작 타이밍

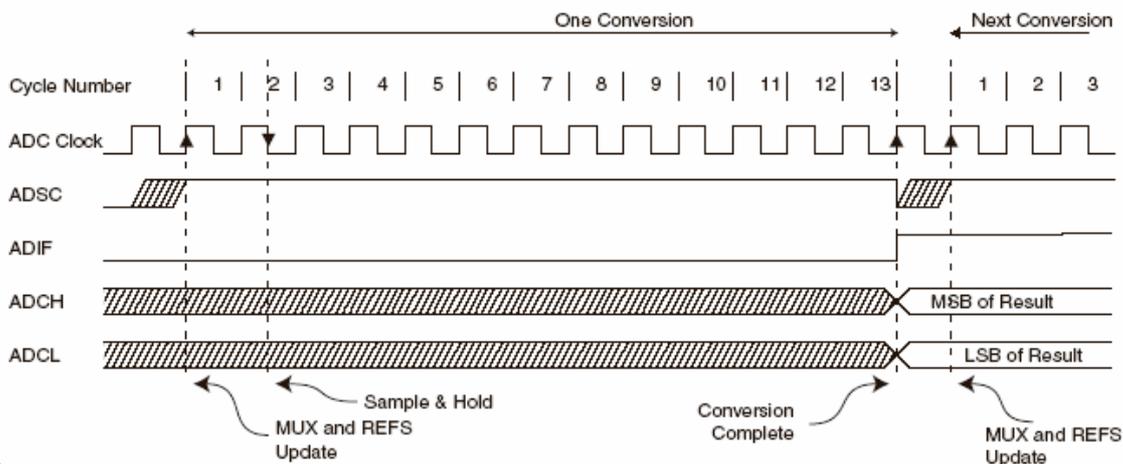
- 단일변환 모드에서는 ADEN=1로 설정함과 동시에 ADSC비트를 1로 설정하여 A/D 변환의 시작을 지시
- 그 이후 첫번째로 오는 clk_ADC 클럭 사이클의 상승 에지에서 A/D 변환 시작
- 샘플/홀드 포함 A/D변환의 전체 과정에 25클럭 주기가 소요
- 변환결과 ADC데이터 레지스터에 저장
- ADIF=1 변환완료 인터럽트 요청, ADSC비트는 자동으로 클리어 됨



Korea University of Technology and Education

클럭의 선택 및 동작 타이밍

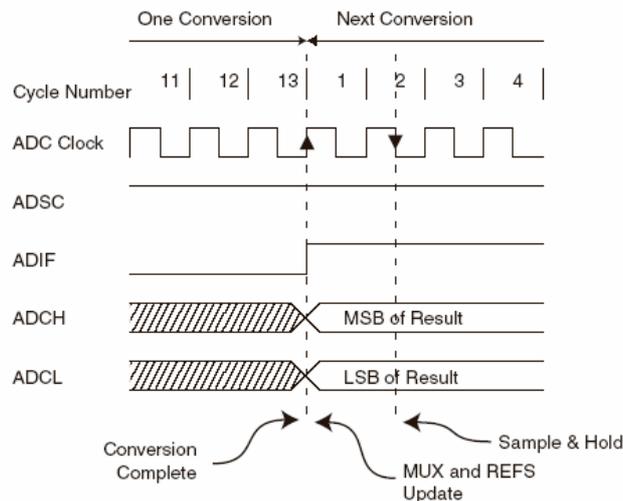
- MCU가 A/D변환 결과를 읽어들이고 후에 다시 A/D 변환을 수행하려면, ADSC비트를 1로 설정하면 된다.
- 이 후로는 13클럭에 완료된다.
- 모든 동작 모드에서 ADSC=1로 설정되어 A/D 변환 시작될 때마다, MUX and REFS update되어 가장 최근 설정된 기준전압과 아날로그 입력채널에 의해 동작



Korea University of Technology and Education

클럭의 선택 및 동작 타이밍

- 프리러닝 모드에서는 최초에 한번만 ADSC=1로 설정하면 반복적으로 A/D변환을 수행한다.
- MCU가 아무 때나 ADC 데이터 레지스터를 읽어들이면 가장 최근에 변환된 결과를 읽을 수 있다.



Korea University of Technology and Education

A/D 변환 결과

- 단극성 입력
 - V_IN: 멀티플렉서로 선택된 단극성 아날로그 입력전압
 - V_REF: 선택된 기준전압
 - 10비트 양의정수: 0(0x0000)~1023(0x03FF)
 - 0x0000: V_IN = V_GND
 - 0x03FF: V_IN = V_REF - 1 LSB

$$ADC = \frac{V_{IN} \cdot 1024}{V_{REF}}$$

- 차동 입력
 - V_POS/V_NEG : 멀티플렉서로 선택된 차동 아날로그 입력의 양극성/음극성 단자 전압
 - GAIN: 아날로그 전압의 이득 (1, 20, 200)
 - 10비트 2의 보수법: -512(0x0200) ~ 511(0x01FF)
 - GAIN 1인 경우, 0x0000: V_IN = V_GND(0)
 - 0x01FF: V_IN = V_REF - 1 LSB
 - 0x0200: V_IN = -V_REF

$$ADC = \frac{(V_{POS} - V_{NEG}) \cdot GAIN \cdot 512}{V_{REF}}$$

Korea University of Technology and Education

잡음 제거 방법

- 독립적인 아날로그 회로 전원 단자 AVCC 및 기준 전원 입력단자 AREF를 가지고 있음에도 불구하고 A/D 컨버터는 잡음에 상당히 민감하다.
- 아날로그 입력선은 최소한 짧게 잡음의 영향을 받지 않도록
- AVCC 는 디지털 전원 VCC를 LC 필터로 안정화 시켜 인가
- A/D 변환 결과가 잡음 등에 의하여 흔들리는 경우에는 디지털 필터를 사용하거나, 여러 번 A/D 변환하여 읽어 들인 결과를 평균 처리하여 사용하면 좋다.